

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

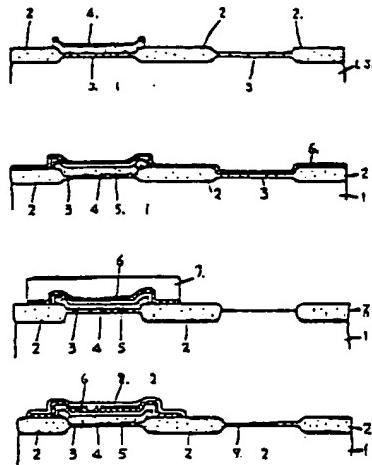
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 4-154124 (A) (43) 27.5.1992 (19) JP
 (21) Appl. No. 2-279832 (22) 18.10.1990
 (71) FUJITSU LTD (72) FUMIHIKO INOUE
 (51) Int. Cl. H01L21/316, H01L29/788, H01L29/792

PURPOSE: To simultaneously form a gate oxide film on an Si substrate and an oxide film on a nitride film by a method wherein the oxide film on the nitride film and the gate oxide film are formed, the Si substrate and the nitride film formed on it are exposed to an atmosphere which contains chlorine, oxygen and an inert gas and they are heated.

CONSTITUTION: An element isolation film 2 is formed on an Si substrate 1; after that, a gate oxide film 3 is formed, by a thermal oxidation operation, in a region surrounded by it; and a floating gate 4 composed of polycrystalline Si is formed on the film 3. Then, the surface of the gate 4 is oxidized; a first oxide film 5 is formed; and as oxidation conditions at this time, dry oxygen which has been diluted with nitrogen or argon is used and an atmospheric temperature is set at 1000°C. After that, a nitride film 6 is grown on the film 5 so as to be overlapped with end parts of the film 2 on both sides; and at this time, ammonia and silane are used as raw-material gases and a temperature is set at 720°C. Then, the film 6 and the substrate 1 are oxidized simultaneously; and a second oxide film 8 is produced on the film 6 and a second gate oxide film 9 is produced on the substrate 1.

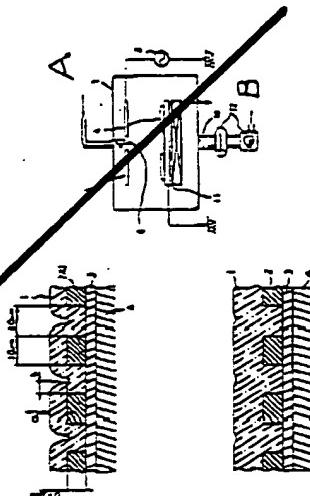


(54) FORMATION OF SILICON OXYNITRIDE FILM

(11) 4-154125 (A) (43) 27.5.1992 (19) JP
 (21) Appl. No. 2-280400 (22) 18.10.1990
 (71) NEC CORP (72) YASUHIDE DEN(1)
 (51) Int. Cl. H01L21/318

PURPOSE: To obtain a silicon oxynitride film whose step coverage is excellent and to enhance the reliability of a semiconductor device by a method wherein, when the silicon oxynitride film is formed by a plasma CVD method, organic silane is used as a raw-material gas.

CONSTITUTION: An oxide film 3 is applied onto a silicon substrate 4. While an Al film 2 whose width is, e.g. at 1.0 μm, whose height is, e.g. at 0.65 μm and whose interval is, e.g. at 1.0 μm is used as a substratum on it, a silicon oxynitride film 1 having a film thickness of 0.55 μm is formed, by using a plasma CVD apparatus, on the silicon substrate 1 whose temperature has been set at 300°C by using a heating source 9. When the film is formed, tetraethoxysilane ($\text{Si}(\text{OC}_2\text{H}_5)_4$) at 50SCCM, ammonia (NH_3) at 2.0SLM and nitrous oxide (N_2O) at 1.0SLM are used, and they are fed to a treatment chamber 7 from a reactant-gas supply port 6. While the inside of the treatment chamber is set at 2.0 Torr by using a vacuum pump 12, a high-frequency electric power of 500W is applied to an electrode plate 5. For this method, $\text{Si}(\text{OC}_2\text{H}_5)_4$ may be used instead of $\text{Si}(\text{OC}_2\text{H}_5)_4$.



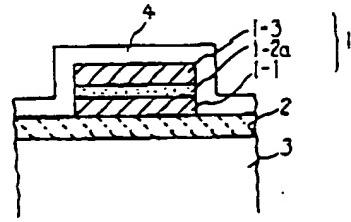
8: High-frequency power supply, 10: evacuation port, 11: substrate stand, 12: gas supply, 13: evacuation

(54) SEMICONDUCTOR DEVICE

(11) 4-154126 (A) (43) 27.5.1992 (19) JP
 (21) Appl. No. 2-280394 (22) 18.10.1990
 (71) NEC CORP (72) MITSUOKI FUJITA
 (51) Int. Cl. H01L21/3205

PURPOSE: To avoid a disconnection due to a stress migration by a method wherein in wiring having a three-layer structure which is composed of an aluminum film, a conductive film other than aluminum and an aluminum film is used as electrode wiring formed at a semiconductor chip.

CONSTITUTION: An insulating film 2, by silicon oxide, which is used as the substratum of electrode wiring is formed on a silicon substrate 3; and an aluminum film 1-1, a high-melting-point metal silicide film 1-2a and an aluminum film 1-3 are vapor-deposited continuously in a prescribed position on its surface. After that, the laminated films are reshaped by using a photolithographic technique and are used as electrode wiring 1. Their revealed face is covered with a cover film 4 to protect the wiring 1. Thereby, a disconnection due to a stress migration is prevented by means of the film 1-2a, and a contact defect and a bonding defect with reference to other wiring are reduced by the films 1-1, 1-3 in its upper part and the lower part.



◎公開特許公報(A) 平4-154124

◎Int.Cl.

H 01 L 21/316
29/788
29/792

識別記号

庁内整理番号

S 8518-4M

◎公開 平成4年(1992)5月27日

7514-4M H 01 L 29/78 371

審査請求 未請求 請求項の数 3 (全6頁)

◎発明の名称 半導体装置の製造方法

◎特 願 平2-279832

◎出 願 平2(1990)10月18日

◎発明者 井上 文彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

◎出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

◎代理 人 弁理士 井桁 順一

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) S i 基板(1) 及び該 S i 基板(1) 上に形成された塗化膜(6) を、塩素或いは塩素を含む化合物と酸素と不活性ガスを含む1000°C以上 の雰囲気

にさらすことにより、該 S i 基板(1) 上にゲート酸化膜(9) を形成し、且つ同時に該塗化膜(6) 上に酸化膜(8) を形成することを特徴とする半導体装置の製造方法。

(2) 前記塩素を含む化合物は塩化水素であり、該塩化水素の前記酸素に対する比は、酸素1容に対し塩化水素0.001容以上、1容以下であることを特徴とする請求項1記載の半導体装置の製造方法。

(3) 前記塗化膜(6) 及び前記塗化膜(6) 上の酸化膜(8) は、~~エポキシ樹脂~~エポキシ樹脂(4) とコントローラー(10)間の層間絶縁膜の一層であるこ

とを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

半導体装置の製造方法に係り、特に塗化膜上の酸化膜とゲート酸化膜を同時に形成する方法に関し。

塗化膜上の酸化膜厚のゲート酸化膜厚に対する比を大きく形成する方法の提供を目的とし。

S i 基板及び該 S i 基板上に形成された塗化膜を、塩素或いは塩素を含む化合物と酸素と不活性ガスを含む1000°C以上 の雰囲気にさらすことにより、該 S i 基板上にゲート酸化膜を形成し、かつ同時に該塗化膜上に酸化膜を形成する半導体装置の製造方法により構成する。

また、前記塩素を含む化合物は塩化水素であり、該塩化水素の前記酸素に対する比は、酸素1容に対し塩化水素0.001容以上、1容以下である半導体装置の製造方法により構成する。

また、前記窒化膜及び前記窒化膜上の酸化膜は、フローティングゲートとコントロールゲート間の層間絶縁膜の一部である半導体装置の製造方法により構成する。

(産業上の利用分野)

本発明は半導体装置の製造方法に係り、特に窒化膜上の酸化膜とゲート酸化膜を同時に形成する方法に関する。

近年の半導体デバイスの高集積化の要求に伴い、デバイスの横方向の縮小のみならず縦方向の薄膜化も要求されている。ところが、電源電圧は一定であり、層間絶縁膜にかかる電解強度は高くなり、そのため、薄くて膜質のよい絶縁膜が要求されている。

(従来の技術)

従来、E PROM(Erasable Programmable Read-Only Memory) の層間絶縁膜は、フローティングゲートであるシリコンを酸化して形成し

第2の酸化膜8：20Å

第2の酸化膜は、900℃程度の水蒸気雰囲気で窒化膜6を酸化することにより形成する。

ところで、工数削減をもくろみ、第2の酸化膜の形成と同時に周辺トランジスタの第2のゲート酸化膜9を形成しようとする問題を生じる。即ち、窒化膜6上に第2の酸化膜8を20Åの厚さに形成する時、Si基板1上には第2のゲート酸化膜9が約2000Åの厚さに形成されてしまう。これではゲート酸化膜が厚過ぎて周辺トランジスタとして機能しない。また、第2のゲート酸化膜9の厚さを200～300Åとすると、今度は第2の酸化膜8の厚さが12Å程度と薄くなり、フローティングゲート4から電荷が抜けてしまうという問題を生じる。

(発明が解決しようとする課題)

従って、従来方法では窒化膜6上の第2の酸化膜8と、Si基板1上の第2のゲート酸化膜9を同時に形成することができます。窒化膜6上の第2

ていたが、ポリシリコン酸化膜はフローティングゲートのエッジ部での電界集中の影響により、このエッジ部からフローティングゲート中の電荷が抜けてしまうという問題があった。そこで、エッジ部での電界集中の影響を避けるため、層間絶縁膜として酸化膜／窒化膜／酸化膜の3層膜が用いられるようになってきている。

第3図はE PROMの断面図を示し、1はSi基板、2は素子分離膜、3は第1のゲート酸化膜、4はフローティングゲート、5は第1の酸化膜、6は窒化膜、8は第2の酸化膜、9は第2のゲート酸化膜、10はコントロールゲート、11は電極、12はソース・ドレイン領域、13は絶縁膜、14はソース・ドレイン電極を表す。

第1の酸化膜5と窒化膜6と第2の酸化膜8はフローティングゲート4とコントロールゲート10間の層間絶縁膜を形成している。各膜の厚さは、例えば、次の如くである。

第1の酸化膜5：100Å

窒化膜6：100Å

の酸化膜8とSi基板1上の第2のゲート酸化膜9は別々に工程で形成する必要があり、工程が煩雑になっていた。

本発明は、窒化膜6上の第2の酸化膜8とSi基板1上の第2のゲート酸化膜9を同時に形成し、第2のゲート酸化膜9を機能する程度に薄く、しかも第2の酸化膜8をフローティングゲート4から電荷が抜けない程度に厚く形成する方法を提供することを目的とする。

(課題を解決するための手段)

上記課題は、Si基板1及び該Si基板1上に形成された窒化膜6を、塩素或いは塩素を含む化合物と酸素と不活性ガスを含む1000℃以上の高温気にさらすことにより、該Si基板1上にゲート酸化膜9を形成し、かつ同時に該窒化膜6上に酸化膜8を形成する半導体装置の製造方法によって解決される。

また、前記塩素を含む化合物は塩化水素であり、該塩化水素の前記酸素に対する比は、酸素1容に

対して塩化水素0.001容以上、1容以下である半導体装置の製造方法によって解決される。

また、前記窒化膜6及び前記窒化膜6上の酸化膜8は、フローティングゲート4とコントロールゲート10間の層間絶縁膜の一部である半導体装置の製造方法によって解決される。

〔作用〕

Si基板1上にゲート酸化膜9及び窒化膜6上に酸化膜8を同時に形成する際、塩素或いは塩素を含む化合物と酸素と不活性ガスを含む雰囲気を用いることにより、水蒸気雰囲気を用いる場合よりも、酸化膜8の厚さのゲート酸化膜9の厚さに対する比を大きくすることができる。そして、酸化膜8の厚さはフローティングゲート4から電荷が抜けない程度に厚く、ゲート酸化膜9の厚さはトランジスタとして機能する程度に薄く形成することができる。

さらに、酸化膜8の厚さのゲート酸化膜9の厚さに対する比は酸化膜を形成する際の雰囲気の温

度が高い程大きくなり、1000°C以上で大きな効果を生む。一方、酸化膜の成長速度は雰囲気の温度が高い程大きくなって成長膜厚の制御が難しくなる。そこで、不活性ガスで酸化性ガスを希釈し、不活性ガスの割合を増加して成長速度を抑制するようとする。

塩素を含む化合物としては塩化水素を用いることができる。酸素に対する塩化水素の比は、酸素1容に対して塩化水素0.001容以上、1容以下であり、0.001容未満では効果がなく、1容より多いとSi基板1表面を荒らしてしまう。

また、本発明の方法は、フローティングゲート4とコントロールゲート10間の層間絶縁膜の一部である窒化膜の上に酸化膜、周辺トランジスタを形成する領域のSi基板1上にゲート酸化膜を同時に形成する工程に、極めて有効に適用することができる。

〔実施例〕

第2図(a)～(f)はEPROM形成の工程順断

面図であり、さらに詳しくは紫外線消去型ROM形成の工程順断面図である。以下、これらの図を参照しながら、紫外線消去型EPROM形成の概略を説明する。

第2図(a) 参照

Si基板1にLOCOS法により素子分離膜2を形成した後、熱酸化法によりSi基板1上に第1のゲート酸化膜3を形成する。第1のゲート酸化膜3の厚さは、例えば、200Åである。

気相成長法によりフローティングゲートとなる~~ポリSi~~Siを、例えば、1000Åの厚さに成長し、不純物として堿を導入する。堿を並散した後、ポリSiをバーニングして、エロードゲート4を形成する。

第2図(b) 参照

フローティングゲート4の表面を熱酸化して、第1の酸化膜(ボトムのポリSi酸化膜)5を形成する。酸化条件は、例えば、次の如くである。

酸化雰囲気：窒素またはアルゴンで希釈した乾燥酸素

雰囲気温度：1000°C

酸化膜の厚さ：100Å

次に、全面に例えばアンモニア(NH₃)とシラン(SiH₄)を原料ガスとして気相成長法により、窒化膜6を成長する。成長温度は、例えば、720°C、成長膜厚は、例えば、100Åである。

第2図(c) 参照

レジスト7をマスクにして、周辺トランジスタ領域の窒化膜6と第1の酸化膜3をエッティングにより除去する。窒化膜6の除去はドライエッティングで行い、第1の酸化膜3の除去はフッ酸系の液によるウェットエッティングにより行う。

第2図(d) 参照

レジスト7を除去した後、窒化膜6と周辺トランジスタ領域のSi基板1とを同時に酸化し、窒化膜6上に第2の酸化膜8と周辺トランジスタ領域のSi基板1上に第2のゲート酸化膜9を形成する。

する。酸化条件は、例えば、次の如くである。

酸化ガス圧力：酸素2容
無水塩化水素1容
窒素10容

雰囲気温度：1100°C

第2の酸化膜8の厚さ：25Å

第2のゲート酸化膜9の厚さ：300Å

第2図(e) 参照

全面にポリSiを気相成長法により3000Åの厚さに成長し、気相拡散により不純物として堿を導入する。

その後半はSiをパターニングして、第2の酸化膜8上にコントロールゲート10、第2のゲート酸化膜9上にゲート電極11を形成する。

ゲート電極11両側のSi基板1に不純物として、例えば、ヒ素を導入し、ソース・ドレイン領域12を形成する。

第2図(f) 参照

第1図より、従来の水蒸気に変えて無水塩化水素添加の酸素を用いることにより、第1の酸化膜の膜厚の第2のゲート酸化膜の膜厚に対する比を大きくすることができますことがわかる。

さらに、雰囲気温度を上げることによってもその比を大きくすることができますが、1000°Cとする時、効果が大きい。

一方、雰囲気の温度が高いと酸化膜の成長速度が大きく制御しにくくなるので、窒素あるいはアルゴンのような不活性ガスにより希釈する。

なお、酸素に対する塩化水素の比は、酸素1容に対して塩化水素0.001容以上、1容以下であるべきである。0.001容未満では効果がなく、1容より多いとSi基板1表面を荒らしてしまう。

なお、塩化水素に代えて塩素ガスを用いることもできる。

第4図は第2の酸化膜のリーク特性を第2の酸化膜の膜厚をパラメータとして示したもので、酸化膜/窒化膜/酸化膜の3層膜にかかる電界強度に対して、その中を渡れる電流の電流密度の関係

全面に絶縁膜13として、気相成長法によりSiO₂膜を成長し、ソース・ドレイン領域12に開口してソース・ドレイン電極14を形成する。

このようにして、紫外線消去型ROMが形成できる。

なお、窒化膜6上に第2の酸化膜8、周辺トランジスタ領域のSi基板1上に第2のゲート酸化膜9を同時に形成する際、雰囲気温度と時間を変えて第2の酸化膜8の膜厚と第2のゲート酸化膜9の膜厚の関係を詳細に調べた。

その結果を第1図に示す。比較のため、従来例も示す。

曲線(a)～(d)の条件は次の如くである。

- | | | |
|-----|--------|----------------|
| (a) | 1100°C | 酸素2容、無水塩化水素1容、 |
| | | 窒素10容 |
| (b) | 1000°C | (上に同じ) |
| (c) | 900°C | (上に同じ) |
| (d) | 900°C | 水蒸気 (従来例) |

を示す。

第2の酸化膜の膜厚が12Åの場合はリークが大きく問題であるが、22Åの場合の程度であれば、実用上問題が少ない。

さらに、第5図は第2の酸化膜の膜厚とフローティングゲート4からの電荷損失の関係を示したもので、第2の酸化膜の膜厚30Åの場合を標準として示している。電荷損失は、例えばトランジスタの閾値電圧V_Tの経時変化から評価することができる。

第2の酸化膜の膜厚が30Åより大きいと、電荷損失が必ずしもゼロになるわけではないが、実用上問題がない。一方、第2の酸化膜の膜厚が小さ過ぎると電荷損失が大きく問題となる。

本発明の方法は、コントロールゲートとコントロールゲート10間の周囲絶縁膜の一部である窒化膜の上に酸化膜、周辺トランジスタを形成する領域のSi基板1上にゲート酸化膜を同時に形成するような、例えば、紫外線消去型EPROMの製造工程に適用する時、極めて有効となり、工

数を削減し、製造を容易にする効果を有するものである。

(発明の効果)

以上説明したように、本発明によれば、層間絶縁膜を構成する塗化膜上の酸化膜と周辺トランジスタのゲート酸化膜を同時に形成することが可能となり、例えば、紫外線消去型EPROMの製造工程に適用する時、工数を削減して製造を容易にする効果を有し、しかもフローティングゲートからの電荷損失を少なくして信頼性の向上に寄与るものである。

4. 図面の簡単な説明

第1図は第2のゲート酸化膜の膜厚と第2の塗化膜の膜厚の関係を示す図。

第2図(a)～(f)はEPROM形成の工程順断面図。

第3図はEPROMの断面図。

第4図は第2の塗化膜のリーク特性。

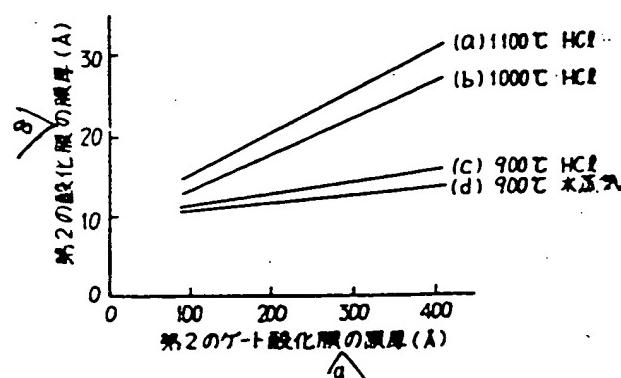
第5図は第2の塗化膜の膜厚と電荷損失の関係を示す図である。

図において、

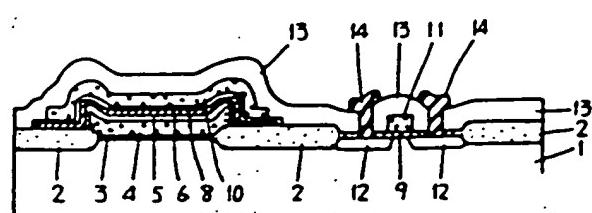
- 1はSi基板。
- 2は素子分離膜。
- 3はゲート酸化膜であって第1のゲート酸化膜。
- 4はフローティングゲート。
- 5は塗化膜であって第1の酸化膜。
- 6は塗化膜。
- 7はレジスト。
- 8は塗化膜であって第2の酸化膜。
- 9はゲート酸化膜であって第2のゲート酸化膜。
- 10はコントロールゲート。
- 11はゲート電極。
- 12はソース・ドレイン領域。
- 13は絶縁膜。
- 14はソース・ドレイン電極。

を表す。

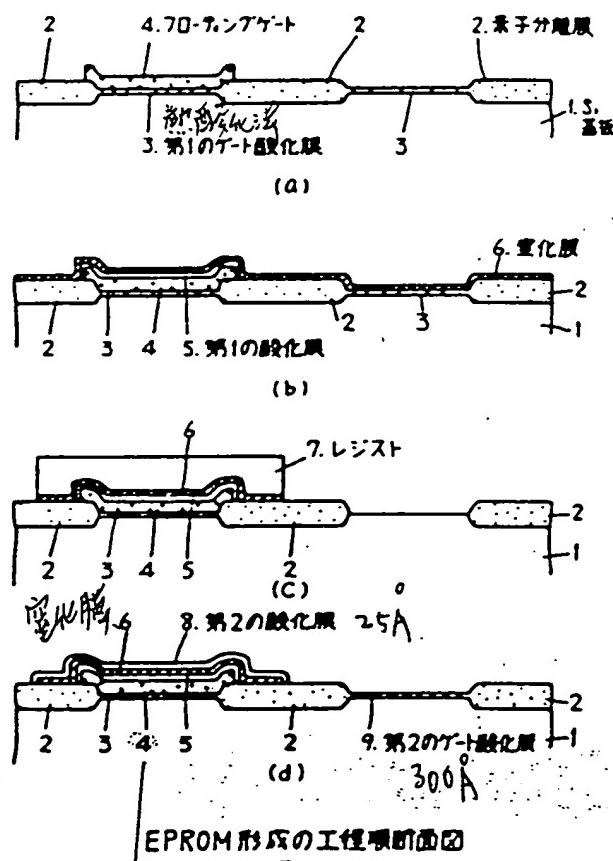
代理人 弁理士 井桁貞一



第2のゲート酸化膜の膜厚と第2の塗化膜の膜厚の関係
第1図

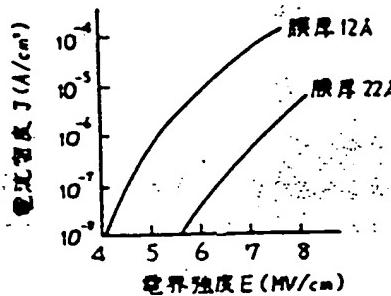
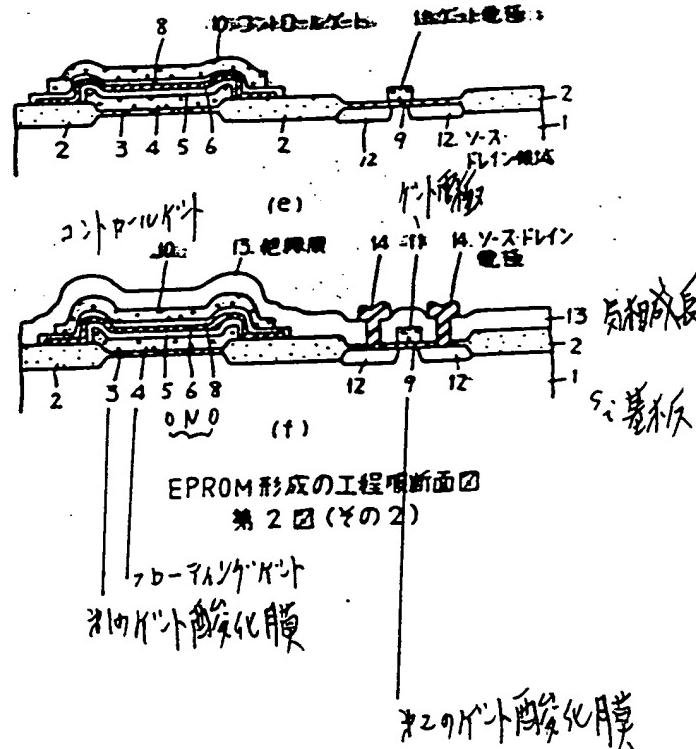


EPROMの断面図
第3図

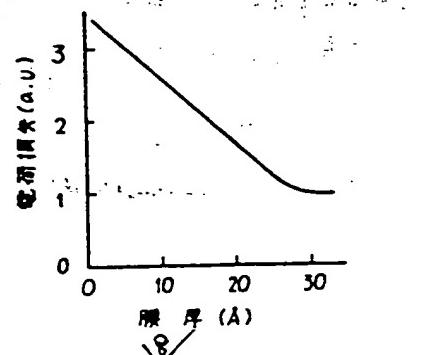


EPROM形成の工程順断面図
第2図(その1)

フローティングゲート



第2の酸化膜のリ-7特性
第4回



第2の酸化膜の膜厚と電荷損失の関係
第5回